



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of:

TANIMOTO

Serial No.: 09/776,011

Filed: February 2, 2001

Atty. File No.: 2933SE-94

For: "CHARGE PUMP CIRCUIT"

Commissioner of Patents  
Washington, D.C. 20231

Dear Sir:

Enclosed is a certified copy of Japanese Patent Applications, Serial No. 200-026895 filed February 4, 2000 and Serial No. 2000-331879 filed October 31, 2000, to support the previous claim of foreign priority benefits under 35 U.S.C. § 119 in connection with the above-identified application.

Respectfully submitted,

SHERIDAN ROSS P.C.

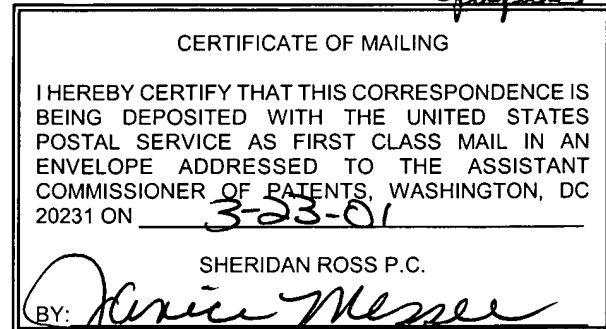
By: Douglas W. Swartz  
Douglas W. Swartz  
Registration No. 37,739  
1560 Broadway, Suite 1200  
Denver, Colorado 80202-5141  
(303) 863-9700

Date: March 23, 2001

) Group Art Unit: 2816

) Examiner:

) *#3 H. Coe*  
5-16-01  
) SUBMISSION OF PRIORITY DOCUMENT  
) AND CLAIM FOR FOREIGN PRIORITY  
) *priority papers*



RECEIVED  
APR - 2 2001  
TECHNOLOGY CENTER 2800



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月 4日

出 願 番 号

Application Number:

特願2000-026895

出 願 人

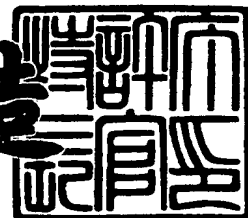
Applicant (s):

三洋電機株式会社

2000年11月10日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3094565

【書類名】 特許願

【整理番号】 KIB0991049

【提出日】 平成12年 2月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/07

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
                                三洋電機株式会社内

    【氏名】 谷本 孝司

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 近藤 定男

【代理人】

    【識別番号】 100111383

    【弁理士】

    【氏名又は名称】 芝野 正雅

    【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東  
                                京事務所

    v

【手数料の表示】

    【予納台帳番号】 013033

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 チャージポンプ回路

【特許請求の範囲】

【請求項 1】 出力端と基準電位端との間に直列接続される複数のスイッチングトランジスタと、互いに隣接するトランジスタ間のノードに一方の端子が接続され、それら隣接するトランジスタのうちの前記基準電位端側のトランジスタの導通制御端子に他方の端子が接続されるキャパシタとを有し、同隣接するトランジスタの各導通制御端子に互いに位相の反転したクロック信号が印加されることで前記出力端に所定の電圧を発生するチャージポンプ回路において、

前記キャパシタの他方の端子とこれに接続されるトランジスタ導通制御端子との間に遅延回路を設け、当該トランジスタの導通制御端子に印加されるクロック信号を所定期間遅延させて前記キャパシタの他方の端子に印加するようにしたことを特徴とするチャージポンプ回路。

【請求項 2】 前記クロック信号は、一方の基準電圧端子が前記ノードに接続されてなるインバータ回路を介して前記スイッチングトランジスタの導通制御端子に印加される請求項 1 記載のチャージポンプ回路。

【請求項 3】 請求項 1 または 2 に記載のチャージポンプ回路において、前記互いに位相の反転したクロック信号が印加されるスイッチングトランジスタが同時に導通状態となることのないよう、それらクロック信号のタイミングを調整するタイミング調整回路をさらに備えることを特徴とするチャージポンプ回路。

【請求項 4】 前記タイミング調整回路は、前記隣接するトランジスタの一方のトランジスタの導通制御端子に印加されるクロック信号を受けてその位相を反転する第 1 のインバータ回路と、当該チャージポンプ回路に入力されるクロック信号とこの第 1 のインバータ回路の出力クロック信号とを入力してその NAND 条件をとる第 1 の NAND 回路と、当該チャージポンプ回路に入力されるクロック信号を反転する第 2 のインバータ回路と、前記隣接するトランジスタの他方のトランジスタの導通制御端子に印加されるクロック信号を受けてその位相を反転する第 3 のインバータ回路と、これら第 2 及び第 3 のインバータ回路の出力クロ

ック信号を入力してそのNAND条件をとる第2のNAND回路とを備え、前記第1及び第2のNAND回路の出力をもって前記タイミングの調整されたクロック信号とする請求項3記載のチャージポンプ回路。

【請求項5】前記タイミング調整回路は、当該チャージポンプ回路に入力されるクロック信号を反転する第1のインバータ回路と、前記隣接するトランジスタの一方のトランジスタの導通制御端子に印加されるクロック信号と前記第1のインバータ回路の出力クロック信号とを入力してそのNOR条件をとる第1のNOR回路と、同第1のNOR回路の出力クロック信号を反転する第2のインバータ回路と、当該チャージポンプ回路に入力されるクロック信号と前記隣接するトランジスタの他方のトランジスタの導通制御端子に印加されるクロック信号とを入力してそのNOR条件をとる第2のNOR回路と、同第2のNOR回路の出力クロック信号を反転する第3のインバータ回路とを備え、前記第2及び第3のインバータ回路の出力をもって前記タイミングの調整されたクロック信号とする請求項3記載のチャージポンプ回路。

【請求項6】前記スイッチングトランジスタはNチャネル型MOSトランジスタにて構成されるとともに、前記基準電位をグランド電位とし、前記出力端に負電圧を発生させる請求項1～5のいずれか一項に記載のチャージポンプ回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、キャパシタを用いて電圧を変換するチャージポンプ回路に関する。

##### 【0002】

##### 【従来の技術】

図6に、従来のチャージポンプ回路の構成の概要を示す。ここで、同図6(a)に示す回路は、2個のダイオードD1、D2、キャパシタC1、及び出力キャパシタC<sub>out</sub>等を備えて構成される。また、図6(b)には、前記ダイオードD1、D2をPチャネル型MOSトランジスタT1、T2にて構成した例を示す。

## 【0003】

これらチャージポンプ回路はいずれも、キャパシタC1を介してノードN1にクロック信号CLKが供給されることにより、同クロック信号CLKの論理「H（ハイ）」レベル値である電源電圧VDDに基づきその出力電圧Voutとして負の電圧「-VDD」を出力する（負側に昇圧する）タイプのチャージポンプ回路である。

## 【0004】

次に、図7を参照して同回路の電圧変換動作の概要を説明する。

同図7に示す時刻t1以前のクロック信号CLKが論理「H」レベルにある状態においては、ダイオードD1（あるいはトランジスタTR1）がオンしてノードN1の電圧Vn1はほぼ「0」ボルト（グランド電圧GND）にあるとする。またこのとき、出力電圧Voutもほぼグランド電圧GNDであるとする。

## 【0005】

そして図7に示す時刻t1において、クロック信号CLKが論理「L（ロー）」レベル（0ボルト）に低下すると、キャパシタC1によってノード電圧Vn1はほぼ「-VDD」まで引っ張られる。このときダイオードD1（トランジスタTR1）はオフし、ダイオードD2（トランジスタTR2）がオンするため、出力電圧Voutもほぼ「-VDD」となり（図7（c）参照）、出力キャパシタCoutは「-VDD」に充電されることとなる。

## 【0006】

続いて、時刻t2においてクロック信号CLKが再び論理「H」レベルになると、キャパシタC1によって、ノード電圧Vn1はほぼグランド電圧GNDに引き上げられる。そのため、ダイオードD2（トランジスタTR2）はオフし、出力電圧Voutは出力キャパシタCoutの充電電圧「-VDD」近傍に保持される。

## 【0007】

次に、時刻t3においてクロック信号CLKが再び論理「L」レベルになると、ノード電圧Vn1は再びほぼ「-VDD」まで引っ張られる。このときダイオードD1（トランジスタTR1）はオフし、ダイオードD2（トランジスタTR

2) がオンするため、出力電圧  $V_{out}$  は再び「 $-V_{DD}$ 」となり、出力キャパシタ  $C_{out}$  は  $-V_{DD}$  に充電されることとなる。このような出力キャパシタ  $C_{out}$  への充電が繰り返されることによって、出力電圧  $V_{out}$  はほぼ「 $-V_{DD}$ 」に保持されるようになる。

#### 【0008】

なお、このようなチャージポンプ回路は、キャパシタ  $C_1$ ,  $C_{out}$  を外付けするだけで IC (集積回路) 化が可能なため、IC 内において所望の電圧値を得るための電圧変換手段として、例えば CCD (電荷移送素子) ドライバの電源回路やメモリ IC 等に使用されている。

#### 【0009】

##### 【発明が解決しようとする課題】

ところで、こうしたチャージポンプ回路においては、簡単な構成にて電圧変換を行うことができる、すなわち電圧を昇圧したり降圧したりすることができるものの、上記ダイオード  $D_1$ ,  $D_2$  (あるいはトランジスタ  $T_1$ ,  $T_2$ ) のしきい値電圧  $V_{th}$  による電圧降下の影響によって、その出力電圧の絶対値が減少してしまうという不都合が生じる。例えば、上記従来チャージポンプ回路にあっては、その出力電圧の絶対値の理論値は  $(V_{DD} - 2V_{th})$  となり、その最大理論値  $V_{DD}$  より  $2V_{th}$  だけ低下することとなる。そして、このような出力電圧の絶対値の低下が、チャージポンプ回路としての電圧変換効率の低下を招いている。

#### 【0010】

なお、このしきい値電圧  $V_{th}$  による出力電圧 (絶対値) の低下を回避すべく、例えば先の図 6 (b) に示した P チャネル型 MOS トランジスタ  $T_1$ ,  $T_2$  をダイオード結線とせずトランジスタ結線とすることも考えられるが、その場合には、それらトランジスタのオン・オフ制御時の貫通電流等による電圧変換効率の低下や、トランジスタ自身の信頼性の低下が無視できないものとなる。

#### 【0011】

本発明は上記実情に鑑みてなされたものであり、その目的とするところは、高い信頼性を保ちつつ、その電圧変換効率を向上することの可能なチャージポンプ

回路を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

以下、上記目的を達成するための手段及びその作用効果について記載する。

請求項 1 記載の発明は、出力端と基準電位端との間に直列接続される複数のスイッチングトランジスタと、互いに隣接するトランジスタ間のノードに一方の端子が接続され、それら隣接するトランジスタのうちの前記基準電位端側のトランジスタの導通制御端子に他方の端子が接続されるキャパシタとを有し、同隣接するトランジスタの各導通制御端子に互いに位相の反転したクロック信号が印加されることで前記出力端に所定の電圧を発生するチャージポンプ回路において、前記キャパシタの他方の端子とこれに接続されるトランジスタ導通制御端子との間に遅延回路を設け、当該トランジスタの導通制御端子に印加されるクロック信号を所定期間遅延させて前記キャパシタの他方の端子に印加するようにしたことをその要旨とする。

【 0 0 1 3 】

同構成によれば、前記遅延回路により、先にスイッチングトランジスタの例えばゲート（導通制御端子）に電圧を印加してから同トランジスタのソース電圧（ノードの電圧）を変化させることができる。そのため、スイッチングトランジスタのスイッチング時における寄生トランジスタ（当該トランジスタの半導体基板内に擬似形成されるトランジスタ）の影響、及びノード電圧の変動等が防止されるようになる。その結果、チャージポンプ回路としての動作がより確実になるとともに、その信頼性も向上するようになる。

【 0 0 1 4 】

請求項 2 記載の発明は、請求項 1 記載のチャージポンプ回路において、前記クロック信号は、一方の基準電圧端子が前記ノードに接続されてなるインバータ回路を介して前記スイッチングトランジスタの導通制御端子に印加されることをその要旨とする。

【 0 0 1 5 】

同構成によれば、前記インバータ回路を設けることにより、簡易な構成により



、前記スイッチングトランジスタのオフ動作の維持を確実とする同トランジスタのゲート電圧（導通制御端子印加クロック信号）を得ることができる。

【 0 0 1 6 】

請求項 3 記載の発明は、請求項 1 または 2 に記載のチャージポンプ回路において、前記互いに位相の反転したクロック信号が印加されるスイッチングトランジスタが同時に導通状態となることのないよう、それらクロック信号のタイミングを調整するタイミング調整回路をさらに備えることをその要旨とする。

【 0 0 1 7 】

同構成によれば、タイミング調整回路によって、互いに隣接するスイッチングトランジスタが同時にオンすることのないクロック信号が形成される。そのため、それらトランジスタに大きな貫通電流の流れることが防止され、同トランジスタの信頼性が向上するとともに、チャージポンプ回路としての消費電力を低減することができる。

【 0 0 1 8 】

請求項 4 記載の発明は、請求項 3 記載のチャージポンプ回路において、前記タイミング調整回路は、前記隣接するトランジスタの一方のトランジスタの導通制御端子に印加されるクロック信号を受けてその位相を反転する第 1 のインバータ回路と、当該チャージポンプ回路に入力されるクロック信号とこの第 1 のインバータ回路の出力クロック信号とを入力してその NAND 条件をとる第 1 の NAND 回路と、当該チャージポンプ回路に入力されるクロック信号を反転する第 2 のインバータ回路と、前記隣接するトランジスタの他方のトランジスタの導通制御端子に印加されるクロック信号を受けてその位相を反転する第 3 のインバータ回路と、これら第 2 及び第 3 のインバータ回路の出力クロック信号を入力してその NAND 条件をとる第 2 の NAND 回路とを備え、前記第 1 及び第 2 の NAND 回路の出力をもって前記タイミングの調整されたクロック信号とすることをその要旨とする。

【 0 0 1 9 】

請求項 5 記載の発明は、請求項 3 記載のチャージポンプ回路において、前記タイミング調整回路は、当該チャージポンプ回路に入力されるクロック信号を反転

する第1のインバータ回路と、前記隣接するトランジスタの一方のトランジスタの導通制御端子に印加されるクロック信号と前記第1のインバータ回路の出力クロック信号とを入力してそのNOR条件をとる第1のNOR回路と、同第1のNOR回路の出力クロック信号を反転する第2のインバータ回路と、当該チャージポンプ回路に入力されるクロック信号と前記隣接するトランジスタの他方のトランジスタの導通制御端子に印加されるクロック信号とを入力してそのNOR条件をとる第2のNOR回路と、同第2のNOR回路の出力クロック信号を反転する第3のインバータ回路とを備え、前記第2及び第3のインバータ回路の出力をもって前記タイミングの調整されたクロック信号とすることをその要旨とする。

## 【0020】

上記請求項4または5記載の発明の構成によれば、前記タイミング調整回路を簡易な回路構成にて好適に形成することができる。

請求項6記載の発明は、請求項1～5のいずれか一項に記載のチャージポンプ回路において、前記スイッチングトランジスタはNチャネル型MOSトランジスタにて構成されるとともに、前記基準電位をグランド電位とし、前記出力端に負電圧を発生させることをその要旨とする。

## 【0021】

同構成によれば、スイッチングトランジスタにNチャネル型MOSトランジスタを使用することにより好適に負電圧を発生させるとともに、電流駆動能力の大きなチャージポンプ回路を形成できるようになる。

## 【0022】

## 【発明の実施の形態】

## （第1の実施の形態）

以下、本発明にかかるチャージポンプ回路の第1の実施の形態について、図1及び図2を参照して説明する。なお、本実施の形態にかかるチャージポンプ回路も、電源電圧VDDから出力電圧として負電圧「-VDD」を出力するタイプのチャージポンプ回路である。

## 【0023】

図1は、本実施の形態にかかるチャージポンプ回路の構成を示すもので、同図

1に示すように、この回路は、基本的には先の従来のチャージポンプ回路と同様に、2個のスウィッチングトランジスタTR1、TR2、キャパシタC1、及び出力キャパシタCout等を備えて構成される。なお、同トランジスタTR1、TR2は、ここではNチャネル型MOSトランジスタにて構成される

これらチャージポンプ回路としての基本構成に加え、本実施の形態のチャージポンプ回路はさらに、タイミング調整回路10、CMOSインバータ1、2、及びバッファ回路B1を備えている。

#### 【0024】

ここで、タイミング調整回路10は、インバータ11、12、13、NAND回路14、15を備えて構成され、クロック信号CLKを入力し、同クロック信号CLKに基づいて、上記スウィッチングトランジスタTR1、TR2をオン・オフさせる制御クロック信号 $\phi T1$ 、 $\phi T2$ を生成するとともにそのタイミングを調整する。

#### 【0025】

また、CMOSインバータ1、2は、それぞれそのNチャネル型MOSトランジスタ1a、2aのソース端子Sが上記スウィッチングトランジスタTR1、TR2のソース端子S（ノード）に接続される。これは、スウィッチングトランジスタTR1、TR2のソースが負電圧となるときに、上記制御クロック信号 $\phi T1$ 、 $\phi T2$ の論理「ロー」レベルの電圧値も負電圧として、同トランジスタTR1、TR2を確実にオフに維持するためである。

#### 【0026】

また、上記バッファ回路B1が上記CMOSインバータ1の出力とキャパシタC1間に設けられている。同バッファ回路B1は、上記制御クロック信号 $\phi T1$ の信号レベルを変換するとともに、同クロック信号 $\phi T1$ を所定時間遅延させ、その遅延されたクロック信号 $\phi T1$ をキャパシタクロック信号 $\phi C1$ としてをキャパシタC1に入力する。なお、このバッファ回路は、例えば複数のCMOSインバータ等により形成される。

#### 【0027】

このように、本実施の形態においては上記キャパシタクロック信号 $\phi C1$ を生

成することにより、スイッチングトランジスタ  $TR1$  のゲートにそのオン・オフ信号を印加した後に、同キャパシタクロック信号  $\phi C1$  をキャパシタ  $C1$  に印加することにより同トランジスタ  $TR1$  のソース電圧（ノード  $N1$  の電圧） $V_{n1}$  を変化させるようにしている。

## 【 0 0 2 8 】

そのため、スイッチングトランジスタ  $TR1$  のオン時にあっては、同トランジスタ  $TR1$  の半導体基板内に形成される寄生トランジスタを導通させる等の不具合が防止され、一方同トランジスタ  $TR1$  のオフ時にあっては、同トランジスタ  $TR1$  を介してノード電圧  $V_{n1}$  が変動することも防止されるようになる。

## 【 0 0 2 9 】

次に、このように構成される本実施の形態のチャージポンプ回路による負電圧の発生動作の概要を図 2 のタイミングチャートを参照して説明する。なお、同図 2 においては本チャージポンプ回路の定常的な推移が示され、電源投入時等の過渡的な推移は割愛されている。

## 【 0 0 3 0 】

同図 2 に示す時刻  $t1$  においてクロック信号  $CLK$  が論理「H」レベル（ $V_{DD}$ ）に変化すると（図 2（a））、まず上記インバータ 12 の出力が論理「L」レベル（0 ボルト）となり、それに伴って NAND 回路 15 の出力が論理「H」レベルとなる。それが CMOS インバータ 2 に入力され、同インバータ 2 の出力である制御クロック信号  $\phi T2$  が論理「L」レベル「 $-V_{DD}$ 」となる（図 2（c）参照）。

## 【 0 0 3 1 】

このとき、スイッチングトランジスタ  $TR2$  はオフするとともに、インバータ 11 の出力が論理「H」レベルとなり、それに伴って NAND 回路 14 の出力が論理「L」レベル（0 ボルト）となる。それが CMOS インバータ 1 に入力され、同図 2 に示す時刻  $t2$  において、同インバータ 1 の出力である制御クロック信号  $\phi T1$  が論理「H」レベル（ $V_{DD}$ ）となる（図 2（b）参照）。続いてバッファ回路 B1 の遅延による所定時間後、キャパシタクロック信号  $\phi C1$  が論理「H」レベル（ $V_{DD}$ ）となる（図 2（d）参照）。この上昇に伴って、ノード

電圧  $V_{n1}$  は「 $-V_{DD}$ 」から上昇し、その後ほぼ 0 ボルトとなる（図 2（e）参照）。

#### 【0032】

一方、時刻  $t_3$  においてクロック信号  $CLK$  が論理「L」レベル（0 ボルト）に変化すると、まず上記 NAND 回路 14 の出力が論理「H」レベルとなり、それが CMOS インバータ 1 に入力され、同図 2 に示す時刻  $t_4$  において、同インバータ 1 の出力である制御クロック信号  $\phi_{T1}$  が「L」レベル「 $-V_{DD}$ 」となる（図 2（b）参照）。このとき、スイッチングトランジスタ  $TR_1$  はオフする。続いてバッファ回路 B 1 の遅延による所定時間後、キャパシタクロック信号  $\phi_{C1}$  が論理「L」レベル（0 ボルト）となる（図 2（d）参照）。また、このとき、インバータ 13 の出力が論理「H」レベル（ $V_{DD}$ ）となり、それに伴って NAND 回路 15 の出力が論理「L」レベル（0 ボルト）となる。それが CMOS インバータ 2 に入力され、同インバータ 2 の出力である制御クロック信号  $\phi_{T2}$  が論理「H」レベル（ $V_{DD}$ ）となる（図 2（c）参照）。このときスイッチングトランジスタ  $TR_2$  はオンする。その後、時刻  $t_5$  においてクロック信号  $CLK$  が再び論理「H」レベルに変化すると、上記時刻  $t_1$  と同様な動作が行われる。

#### 【0033】

本実施の形態のチャージポンプ回路においては、このような動作が繰り返されることによって、スイッチングトランジスタ  $TR_1$ 、 $TR_2$  のしきい電圧  $V_{th}$  の影響がなくなり、ほぼ理論値「 $-V_{DD}$ 」に近い出力電圧  $V_{out}$  が得られるようになる（図 2（f）参照）。

#### 【0034】

また、本実施の形態のチャージポンプ回路においては上述したように、スイッチングトランジスタ  $TR_1$ 、 $TR_2$  が同時にオンされることはない。すなわち、同図 2 に示されるように、スイッチングトランジスタ  $TR_1$  のオフ期間  $\tau_{off1}$  内においてスイッチングトランジスタ  $TR_2$  のオン期間  $\tau_{on2}$  が設定され、一方スイッチングトランジスタ  $TR_2$  のオフ期間  $\tau_{off2}$  内においてスイッチングトランジスタ  $TR_1$  のオン期間  $\tau_{on1}$  が設定される。そのため、効率よく

所望の出力電圧  $V_{out}$  が得られるようになるとともに、スイッチングトランジスタ  $TR1$ ,  $TR2$  に大きな貫通電流が流れることも防止される。その結果、同トランジスタ  $TR1$ ,  $TR2$  の信頼性が向上し、チャージポンプ回路としての信頼性も向上することとなる。

## 【 0 0 3 5 】

以上説明したように、本実施の形態のチャージポンプ回路によれば、以下のような効果を得ることができる。

(1) スwitchングトランジスタ  $TR1$  のゲート電圧を先に確定してから同トランジスタ  $TR1$  のソース電圧 (ノード  $N1$  の電圧)  $V_{n1}$  を変化させるようにしている。そのため、スイッチングトランジスタ  $TR1$  のスイッチング時における寄生トランジスタの影響、及びノード電圧  $V_{n1}$  の変動等が防止されるようになる。その結果、チャージポンプ回路としての動作がより確実になるとともに、その信頼性も向上するようになる。

## 【 0 0 3 6 】

(2) CMOS インバータ 1, 2 の N チャネル型 MOS トランジスタのソース端子  $S$  をスイッチングトランジスタ  $TR1$ ,  $TR2$  のソース端子  $S$  に接続する構成としている。そのため簡易な構成により、同トランジスタ  $TR1$ ,  $TR2$  のオフ動作の維持を確実とするゲート電圧 (制御クロック信号  $\phi T1$ ,  $\phi T2$ ) を得ることができる。

## 【 0 0 3 7 】

(3) タイミング調整回路 10 によって、スイッチングトランジスタ  $TR1$ ,  $TR2$  が同時にオンすることのない制御クロック信号  $\phi T1$ ,  $\phi T2$  が形成される。そのため、同トランジスタ  $TR1$ ,  $TR2$  に大きな貫通電流の流れることが防止され、同トランジスタ  $TR1$ ,  $TR2$  の信頼性が向上するとともに、チャージポンプ回路としての消費電力を低減することができる。

## 【 0 0 3 8 】

(4) 電圧変換に際してスイッチングトランジスタ  $TR1$ ,  $TR2$  のしきい値電圧  $V_{th}$  の影響を受けない構成としたため、高い到達出力電圧値 (絶対値) が得られる。

## 【 0 0 3 9 】

## (第 2 の実施の形態)

次に、本発明にかかるチャージポンプ回路の第 2 の実施の形態を、前記第 1 の実施の形態との相違点を中心に図 3 及び図 4 を参照して説明する。

## 【 0 0 4 0 】

図 3 に示されるように、この第 2 の実施の形態のチャージポンプ回路においては、タイミング調整回路の構成が前記第 1 の実施の形態のタイミング調整回路 10 の構成と相違する。また、本実施の形態においては、スイッチングトランジスタを 4 個、キャパシタを 3 個備え、電源電圧  $V_{DD}$  から出力電圧として負電圧「 $-3V_{DD}$ 」(理論値)を出力する。

## 【 0 0 4 1 】

さて、本実施の形態のタイミング調整回路 20 は、3 個のインバータ 21, 22, 23、及び 2 個の NOR 回路 24, 25 を備えて構成される。先のタイミング調整回路 10 と同様に、互いに位相の反転したクロック信号が印加されるスイッチングトランジスタが同時に導通状態となることのないよう、それらクロック信号のタイミングを調整する。

## 【 0 0 4 2 】

また、スイッチングトランジスタ  $TR1$ ,  $TR2$ ,  $TR3$  に対してそれぞれ CMOS インバータ 1, 2, 3、バッファ回路  $B1$ ,  $B2$ ,  $B3$ 、及びキャパシタ  $C1$ ,  $C2$ ,  $C3$  がそれぞれ設けられている。また、スイッチングトランジスタ  $TR4$  には CMOS インバータ 4 が設けられている。そして、ここでは制御クロック信号  $\phi T1$ ,  $\phi T3$ 、制御クロック信号  $\phi T2$ ,  $\phi T4$ 、及びキャパシタクロック信号  $\phi C1$ ,  $\phi C3$  は共通化されている。

## 【 0 0 4 3 】

次に図 4 のタイミングチャートを参照して、このように構成される本実施の形態のチャージポンプ回路の動作の概要を説明する。

ここでも先の図 2 に示した場合と同様に、制御クロック信号  $\phi T1$ ,  $\phi T3$  をバッファ回路  $B1$ ,  $B3$  を介して遅延させてキャパシタクロック信号  $\phi C1$ ,  $\phi C3$  が形成されている(図 4 (b), (d) 参照)。また制御クロック信号  $\phi T$

2をバッファ回路B2を介して遅延させてキャパシタクロック信号 $\phi C2$ が形成されている(図4(c), (e)参照)。

#### 【0044】

また、制御クロック信号 $\phi T1$ ,  $\phi T3$ 及び制御クロック信号 $\phi T2$ ,  $\phi T4$ は、互いに一方の論理レベル「L」(トランジスタ「オフ」)期間内に他方の論理レベル「H」(トランジスタ「オン」)期間が来るように形成されている(図4(b), (c)参照)。すなわち、同図4に示されるように、スイッチングトランジスタTR2, TR4のオフ期間 $\tau_{off2}$ 内においてスイッチングトランジスタTR1, TR3のオン期間 $\tau_{on1}$ が設定され、一方スイッチングトランジスタTR1, TR3のオフ期間 $\tau_{off1}$ 内においてスイッチングトランジスタTR2, TR4のオン期間 $\tau_{on2}$ が設定される。

#### 【0045】

図5に、本実施の形態のチャージポンプ回路がIC(集積回路)内に適用された例として、CCDドライバの構成を示す。同ドライバはフレームトランスファ型CCDを駆動するものである。詳しくは同CCDの撮像部に発生した電荷を蓄積部に一挙に転送する、いわゆる電荷の垂直転送駆動を実現するもので、1チップのIC(集積回路)として形成される。そして、同図5に示すように、負電圧発生用チャージポンプ回路31、高電圧発生用チャージポンプ回路32、及び垂直ドライブ回路33等を備えて構成される。なお、ポンピングキャパシタC1, C2, C3, 出力キャパシタCout等は、当該ドライバに外付けされる。

#### 【0046】

そしてここでは、本実施の形態のチャージポンプ回路31によって、理論値出力電圧Voutとしてほぼ $-3V_{DD}$ が得られ、同出力電圧Voutは高電圧発生用チャージポンプ回路32及び垂直ドライブ回路33に出力される。

#### 【0047】

また、高電圧発生用チャージポンプ回路32は、例えば先の図1に示したような回路構成に基づき形成される。なお、同チャージポンプ回路32にあっては、前記スイッチングトランジスタTR1, TR2はPチャネル型MOSトランジスタにて構成されるとともに、同トランジスタTR1のドレイン端子は電源電圧V



DDに接続される。また、前記CMOSインバータ1, 2を構成するPチャンネル型MOSトランジスタのソース（電源側端子）は上記ノードN1に接続され、一方、そのNチャンネル型MOSトランジスタのソースは接地される。また、クロック信号CLKは、上記チャージポンプ回路31の出力電圧 $V_{out}$ に基づきレベル変換される。

## 【0048】

このように構成される本実施の形態のチャージポンプ回路によっても、先の第1の実施の形態の回路と同様に、以下のような効果を得ることができる。

(1) スイッチングトランジスタTR1, TR2, TR3のゲート電圧を先に確定してから各トランジスタTR1, TR2, TR3のソース電圧（ノードN1, N2, N3の電圧） $V_{n1}$ ,  $V_{n2}$ ,  $V_{n3}$ を変化させるようにしている。そのため、スイッチングトランジスタTR1, TR2, TR3のスイッチング時における寄生トランジスタの影響、及びノード電圧 $V_{n1}$ ,  $V_{n2}$ ,  $V_{n3}$ の変動等が防止されるようになる。その結果、チャージポンプ回路としての動作がより確実になるとともに、その信頼性も向上するようになる。

## 【0049】

(2) CMOSインバータ1, 2, 3, 4のNチャンネル型MOSトランジスタのソース端子SをスイッチングトランジスタTR1, TR2, TR3, TR4のソース端子Sに接続する構成としている。そのため簡易な構成により、それらトランジスタTR1, TR2, TR3, TR4のオフ動作の維持を確実とするゲート電圧（制御クロック信号 $\phi T1$ ,  $\phi T2$ ,  $\phi T3$ ,  $\phi T4$ ）を得ることができる。

## 【0050】

(3) タイミング調整回路20によって、スイッチングトランジスタTR1, TR2, TR3, TR4の各隣接するトランジスタが同時にオンすることのない制御クロック信号 $\phi T1$ ,  $\phi T2$ ,  $\phi T3$ ,  $\phi T4$ が形成される。そのため、それらトランジスタTR1, TR2, TR3, TR4に大きな貫通電流の流れることが防止され、同トランジスタTR1, TR2, TR3, TR4の信頼性が向上するとともに、チャージポンプ回路としての消費電力を低減することができる。

## 【 0 0 5 1 】

(4) 電圧変換に際してスイッチングトランジスタ  $TR1$ ,  $TR2$ ,  $TR3$ ,  $TR4$  のしきい値電圧  $V_{th}$  の影響を受けない構成としたため、高い到達出力電圧値 (絶対値) が得られる。

## 【 0 0 5 2 】

なお、上記各実施の形態に共通に変更可能な要素としては次のようなものがある。

・ タイミング調整回路の回路構成は、先の図 1 及び図 3 に示したタイミング調整回路 10, 20 の構成に限られるものではない。要は、タイミング調整回路として、互いに位相の反転したクロック信号が印加されるスイッチングトランジスタが同時に導通状態となることのないよう、それらクロック信号のタイミングを調整するものであれば、いかなる回路構成にて構成されるものであってもよい。

## 【 0 0 5 3 】

・ スwitchングトランジスタとして N チャンネル型 MOS トランジスタを使用する例を示したがこれに限られず、同スイッチングトランジスタとしてはその他、例えば P チャンネル型 MOS トランジスタを使用しても、あるいは N チャンネル及び P チャンネル型 MOS トランジスタを併用しても、本発明のチャージポンプ回路を構成することはできる。

## 【 0 0 5 4 】

・ また、本発明のチャージポンプ回路は、電源電圧  $V_{DD}$  を降圧して負電圧を発生させる適用例に限られず、その他、例えば電源電圧  $V_{DD}$  を昇圧したり、あるいは負電圧を利用して正電圧を発生させたりする等、様々な電圧変換の態様に適用することができる。

## 【 0 0 5 5 】

・ また、スイッチングトランジスタの個数、同トランジスタ間にその一方の電極が接続されてキャパシタ (ポンピングキャパシタ) の個数は任意であり、それぞれ所望の出力電圧  $V_{out}$  を得るに必要な個数を適宜設けるようにすればよい。

## 【 0 0 5 6 】

その他、上記各実施の形態では便宜上、スイッチングトランジスタTR 1, TR 2, TR 3, TR 4のソースS及びドレインDについてこれを図1あるいは図3のごとく定めたが、これらの態様に固定されるものではない。

【図面の簡単な説明】

【図1】本発明にかかるチャージポンプ回路についてその第1の実施の形態を示す回路図。

【図2】同実施の形態の回路の動作を示すタイミングチャート。

【図3】本発明にかかるチャージポンプ回路についてその第2の実施の形態を示す回路図。

【図4】同実施の形態の回路の動作を示すタイミングチャート。

【図5】同実施の形態の回路の適用例を示すブロック図。

【図6】従来のチャージポンプ回路の構成例を示す回路図。

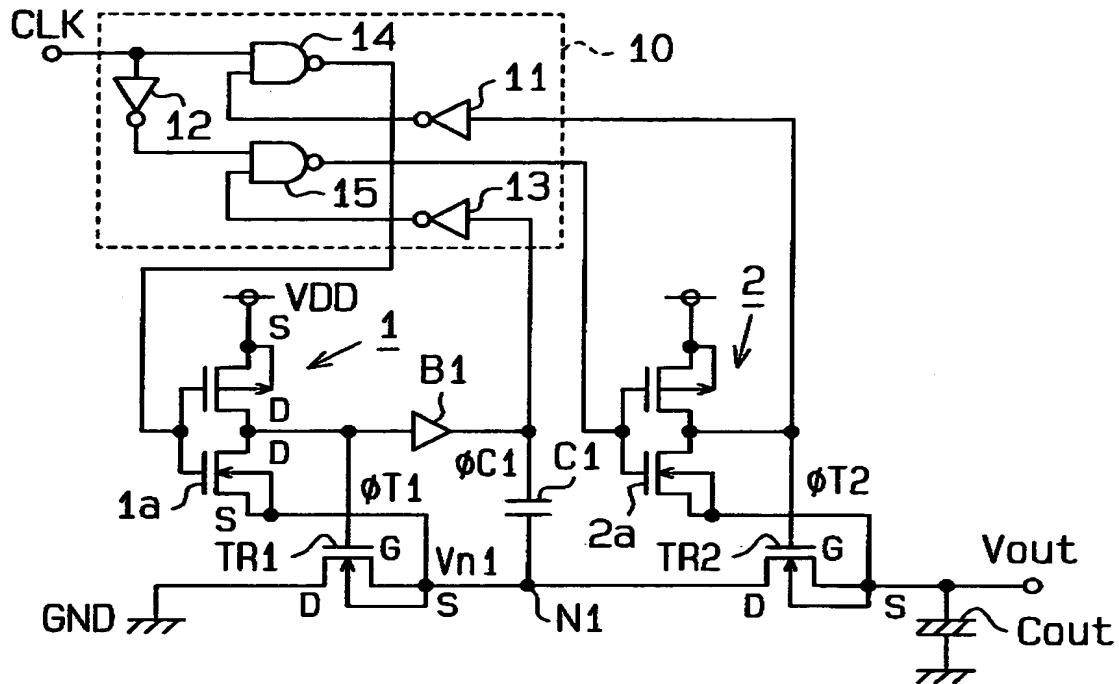
【図7】同従来のチャージポンプ回路の動作を示すタイミングチャート。

【符号の説明】

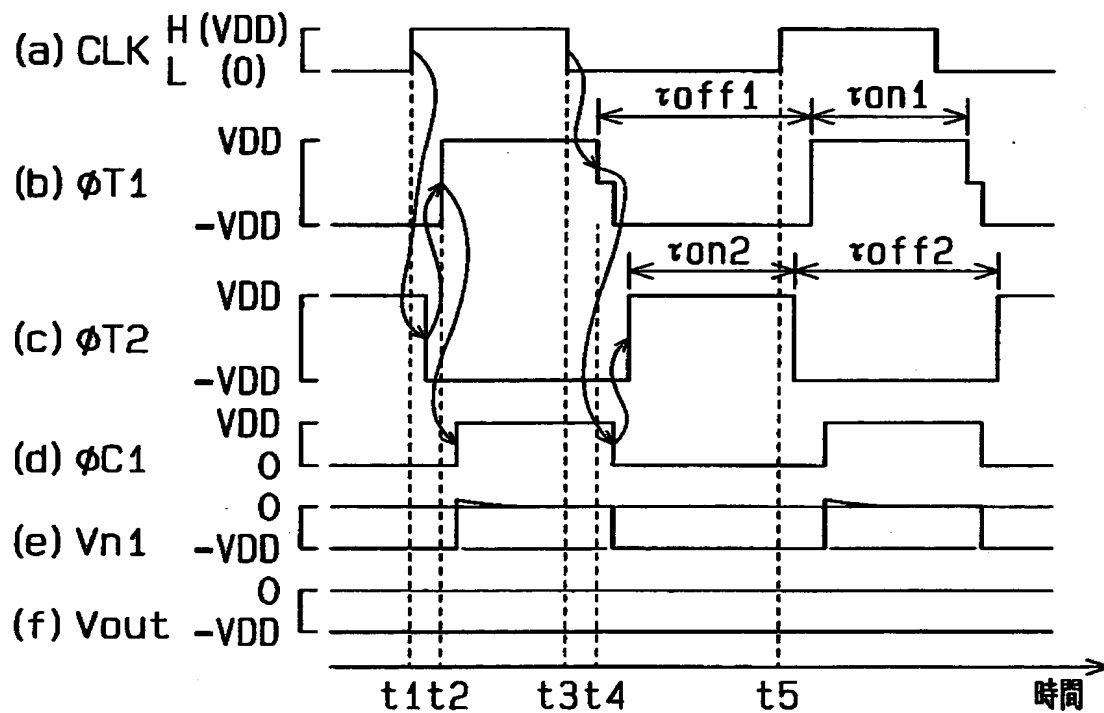
1, 2, 3, 4…CMOSインバータ、1a, 2a…Nチャネル型MOSトランジスタ、10, 20…タイミング調整回路、B1, B2, B3, B4…バッファ回路、C1, C2, C3, C4…キャパシタ、TR1, TR2, TR3, TR4…スイッチングトランジスタ。

【書類名】 図面

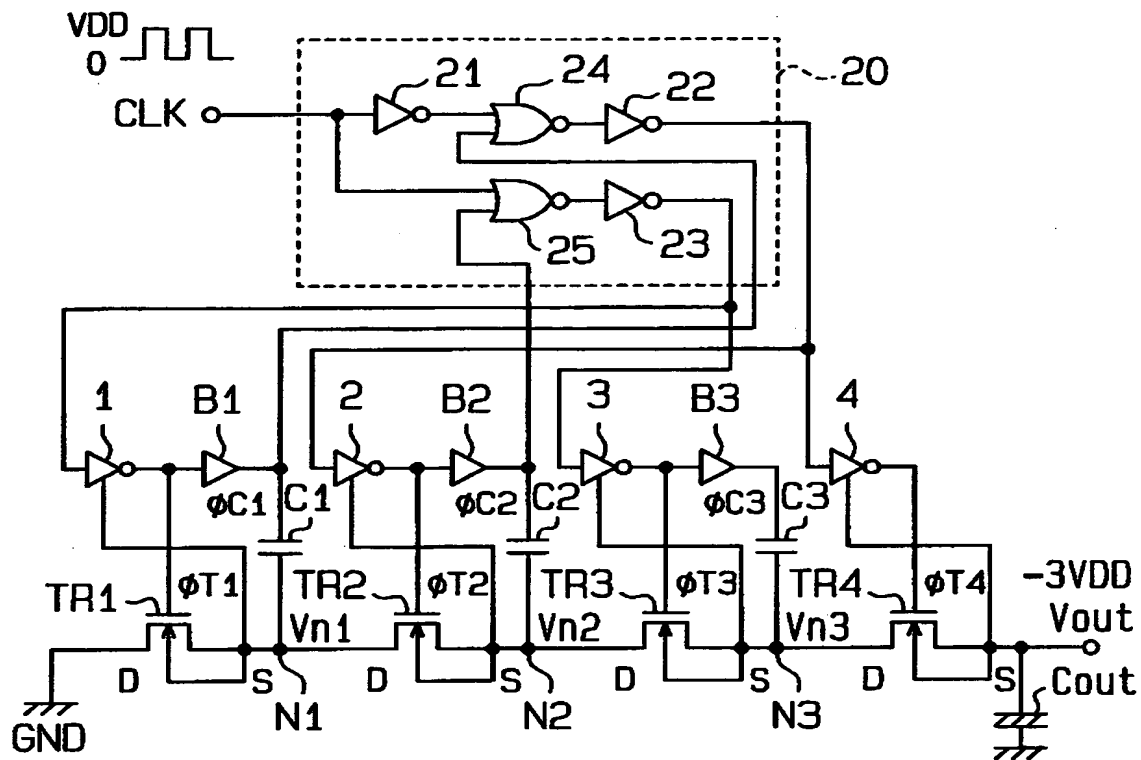
【図 1】



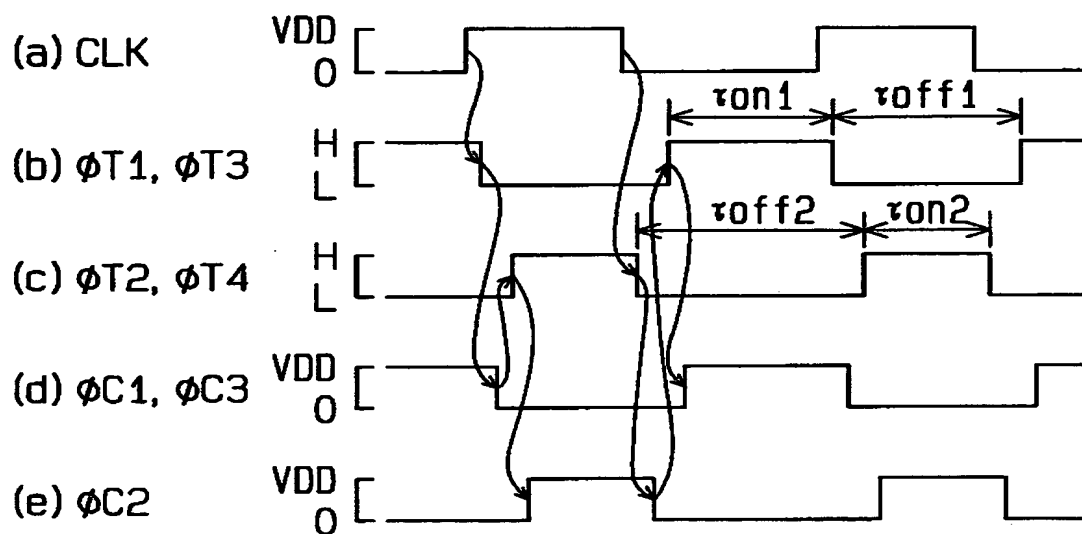
【図 2】



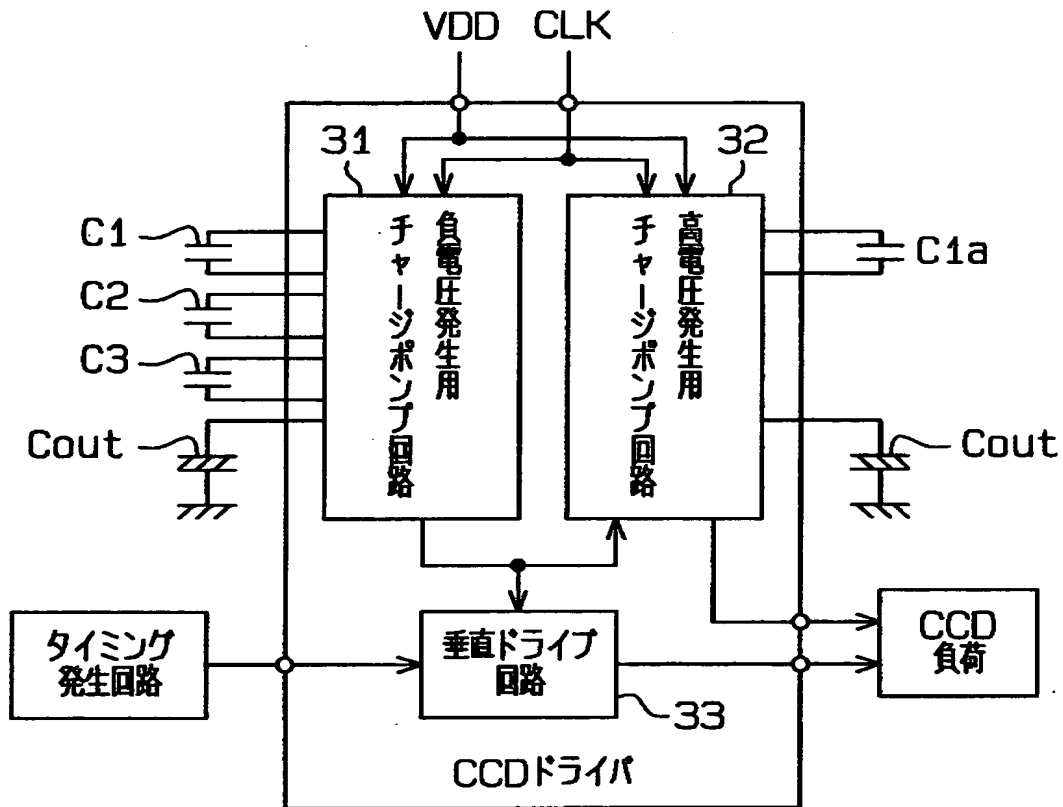
【図3】



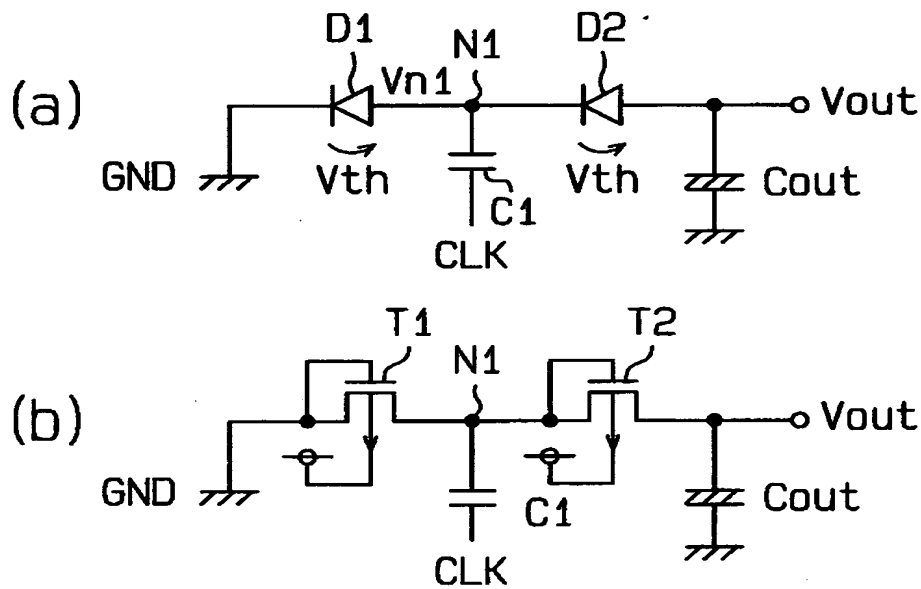
【図4】



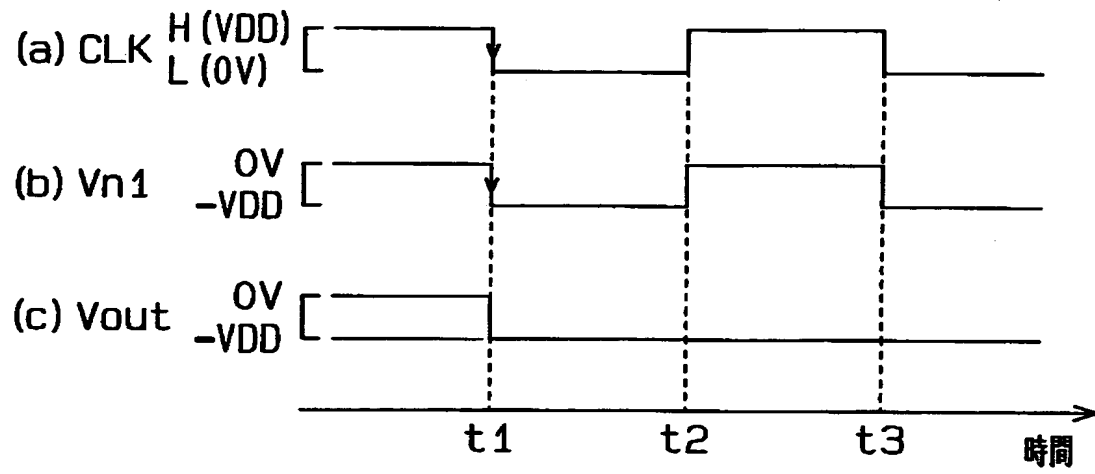
【図5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 高い信頼性を保ちつつ、その電圧変換効率を向上することの可能なチャージポンプ回路を提供する。

【解決手段】 チャージポンプ回路は、2個のスイッチングトランジスタTR1、TR2、キャパシタC1、及び出力キャパシタCout、タイミング調整回路10、そのNチャネル型MOSトランジスタのソース端子SがトランジスタTR1、TR2のソース端子Sにそれぞれ接続されるCMOSインバータ1、2、及びバッファ回路B1を備える。タイミング調整回路10は、トランジスタTR1、TR2を互いに一方のオフ期間内に他方をオンさせる制御クロック信号 $\phi T1$ 、 $\phi T2$ を生成する。制御クロック信号 $\phi T1$ をバッファ回路B1を介して所定時間遅延させて形成されるキャパシタクロック信号 $\phi C1$ がキャパシタC1に入力される。

【選択図】 図1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日  
[変更理由] 住所変更  
住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号  
氏 名 三洋電機株式会社